



Docket No.: W&B-INF-1910

hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: October 9, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/667,256
Applicant : Dirk Fuhrmann et al.
Filed : September 19, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1910
Customer No.: 24131

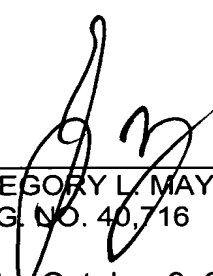
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 43 471.9 filed September 19, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: October 9, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 43 471.9

Anmeldetag: 19. September 2002

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Testschaltkreis einer integrierten Speicherschaltung
zum Kodieren von Bewertungsdaten und Verfahren
hierzu

IPC: G 11 C 29/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 13. August 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, which appears to be 'Remus', written in a cursive style.

Remus

Beschreibung

Testschaltkreis einer integrierten Speicherschaltung zum Kodieren von Bewertungsdaten und Verfahren hierzu

5

Die Erfindung betrifft eine integrierte Speicherschaltung mit einem Testschaltkreis, der Bewertungsdaten generiert und diese an eine Testereinheit überträgt. Die Erfindung betrifft weiterhin ein Verfahren zum Testen einer integrierten

10 Speicherschaltung mit einem Testschaltkreis.

Integrierte Speicherschaltungen werden im allgemeinen unter verschiedenen spezifikationsgerechten Bedingungen von einem Testsystem getestet. Das Testen wird üblicherweise durch ein

15 Hineinschreiben von Testdaten in ein Speicherzellenfeld der Speicherschaltung und einem anschließenden Auslesen der hineingeschriebenen Daten durchgeführt. Ein Vergleichen der ausgelesenen Daten mit den zuvor hineingeschriebenen Daten führt zu Bewertungsdaten, die angeben, ob die Ergebnisse des
20 Vergleichens eine Identität der hineingeschriebenen und ausgelesenen Daten oder einen Unterschied zwischen hineingeschriebenen und ausgelesenen Daten ergeben haben. Das Vergleichen wird üblicherweise in einem Testschaltkreis durchgeführt, der sich in der integrierten Speicherschaltung befindet.
25

Die so erhaltenen Bewertungsdaten dienen dazu, fehlerhafte Speicherbereiche zu ermitteln, die in nachfolgenden Reparaturschritten durch redundante Speicherbereiche ersetzt werden, um die integrierte Speicherschaltung zu reparieren.

30

Um die Reparaturlösung zu berechnen, müssen beim Testen die Bewertungsdaten von der integrierten Speicherschaltung an eine Testereinheit übertragen werden, in der die optimale Reparaturlösung berechnet wird. Die optimale Reparaturlösung gibt an, wie die defekten Speicherbereiche durch redundante Speicherbereiche ersetzt werden sollen, da es möglich ist, einen

35

fehlerhaften Speicherbereich durch redundante Wortleitungen oder durch redundante Bitleitungen zu ersetzen.

5 Üblicherweise werden in einem Testsystem mehrere integrierte Speicherschaltungen gleichzeitig getestet, wobei die Parallelität durch die Anzahl der Testleitungen zwischen der Testereinheit und der Anzahl der integrierten Speicherschaltungen vorgegeben ist. Die Zeit zum Testen einer integrierten Speicherschaltung durch die Testereinheit und die Parallelität
10 geben den Durchsatz des Testsystems vor.

Wesentlich bestimmend für die Zeitdauer zum Testen einer integrierten Speicherschaltung ist die Zeitdauer, die zum Übertragen der Bewertungsdaten von der Speicherschaltung an die
15 Testereinheit benötigt wird. Um diese Zeit zu minimieren, werden die Bewertungsdaten bereits in der Speicherschaltung redundanz-konform komprimiert, so dass nur Informationen über Fehler in Speicherbereichen, die später durch einen redundanten Speicherbereich ersetzt werden, übertragen werden. Diese
20 Komprimierung geht dabei von der Tatsache aus, dass beispielsweise für die Reparatur von Speicherzellen mit Speicherzellen aus einem sogenannten Redundanzbereich keine bitfeine Kenntnis der Bewertungsdaten benötigt wird. Somit können bestimmte Fehlerbereiche zusammengefasst werden, wodurch
25 eine Informationskomprimierung erreicht werden kann. Bei dieser Art der Komprimierung werden die Bewertungsdaten mittels einer Bewertungslogik komprimiert und für jeden ersetzbaren Speicherbereich zu einem einzelnen Bewertungsdatum zusammengefasst und an die Testereinheit weitergegeben.

30 Jedoch entstehen auch durch die Übertragung sämtlicher redundanzkonform komprimierter Bewertungsdaten erhebliche zu übertragende Datenmengen, so dass auch die Übertragung von bereits komprimierten Bewertungsdaten eine erhebliche Zeit benötigt wird.
35

Es ist daher Aufgabe der vorliegenden Erfindung die Testzeit zum Testen einer integrierten Speicherschaltung zu minimieren.

- 5 Diese Aufgabe wird durch die integrierte Speicherschaltung nach Anspruch 1, die Testereinheit nach Anspruch 6, das Testsystem nach Anspruch 8 und das Verfahren zum Testen einer integrierten Speicherschaltung nach Anspruch 10 gelöst.
- 10 Weitere Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

- Gemäß einem ersten Aspekt der vorliegenden Erfindung ist eine integrierte Speicherschaltung mit einem Speicherzellenfeld
15 und mit einem Testschaltkreis vorgesehen. Der Testschaltkreis generiert ein Bewertungssignal, wobei das Bewertungssignal von einem Ergebnis eines Vergleiches zwischen einem aus dem Speicherzellenfeld ausgelesenen Datum und einem in das Speicherzellenfeld zuvor hineingeschriebenen Datum abhängig ist.
- 20 Erfindungsgemäß ist eine Kodiereinheit mit dem Testschaltkreis gekoppelt, um mehrere Bewertungssignale zu einem kodierten Testsignal zu kodieren. Dabei wird den mehreren Bewertungssignalen als kodiertes Testsignal ein Spannungssignal zugeordnet, wobei der Spannungspegel des Spannungssignals die
25 mehreren Bewertungssignale eindeutig beschreibt.

- Die erfindungsgemäße Kodiereinheit hat also die Wirkung, ein Kodieren der Bewertungssignale durchzuführen, wobei den Bewertungssignalen ein Spannungssignal zugeordnet wird. Dieses
30 Spannungssignal ist ein analoges Signal, das verschiedene Spannungspegel annehmen kann. Es enthält somit eine höhere Informationsdichte als digitalisierte Signale. Somit kann beim Testen der integrierten Speicherschaltung, anstelle mehrere digitale Bewertungssignale parallel oder seriell über
35 Testleitungen an eine Testereinheit zu übertragen, ein einziges analoges Signal über eine Testleitung an die Testerein-

heit übertragen werden, das die Informationen der mehreren Bewertungssignale enthält.

5 Vorzugsweise kann vorgesehen sein, dass die Kodiereinheit eine Digital-Analog-Wandlerschaltung aufweist, so dass die mehreren Bewertungssignale in einen Spannungspegel umgewandelt werden, wobei jeder Spannungspegel einem bestimmten Muster von mehreren Bewertungssignalen zugeordnet ist.

10 Um das kodierte Testsignal aus der integrierten Speicherschaltung auszulesen, ist vorzugsweise ein externer Anschluß vorgesehen, über den die integrierte Schaltung mit einer Testereinheit verbunden werden kann.

15 Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist eine Testereinheit vorgesehen, um kodierte Testsignale zu empfangen. Die Testereinheit weist eine Dekodierschaltung auf, wobei ein kodierte Testsignal ein Spannungssignal, das mehrere Signalpegel annehmen kann, umfaßt. Die Dekodierschaltung ist so gestaltet, um den Spannungspegeln des empfangenen Spannungssignal jeweils eine Anzahl von Bewertungsdaten zuzuordnen. Wesentlich ist, dass jedem Spannungspegel jeweils eine Reihe von Bewertungsdaten zugeordnet werden, so dass nach dem Empfangen der Testdaten in der Testereinheit die Bewertungsdaten den defekten Speicherbereichen zugeordnet werden können. Auf diese Weise kann eine Testereinheit geschaffen werden, die komprimierte Testdaten empfängt und diese dekodiert um sie z.B. einer Auswertereinheit zur Verfügung zu stellen, die in der Testereinheit eine Redundanzlösung zum optimalen Ersetzen von defekten Speicherbereichen ermittelt.

20

25

30

Vorzugsweise umfaßt die Dekodierschaltung eine A/D-Wandlerschaltung, um die Spannungspegel des Testsignals in einen digitalen Wert umzuwandeln, der Bits umfaßt, die die ursprünglichen Bewertungsdaten darstellen.

35

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Testsystem mit einer integrierten Speicherschaltung gemäß der Erfindung vorgesehen, wobei die integrierte Speicherschaltung mit einer Testereinheit verbunden ist, so dass das

5 kodierte Testsignal an die Testereinheit übertragbar ist. Auf diese Weise wird ein Testsystem zur Verfügung gestellt, mit dem integrierte Speicherschaltungen schneller getestet werden können.

10 Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Verfahren zum Testen einer integrierten Speicherschaltung vorgesehen. Beim Testen wird ein aus dem Speicherzellenfeld ausgelesenes Datum und ein in das Speicherzellenfeld zuvor

15 hineingeschriebenes Datum miteinander verglichen, wobei ein Bewertungssignal generiert wird, das von dem Ergebnis des Vergleichens abhängig ist. Erfindungsgemäß werden mehrere Bewertungssignale in ein kodierte Testsignal kodiert, wobei das kodierte Testsignal an eine Testereinheit übertragen

20 wird, wobei das übertragene kodierte Testsignal zu mehreren Bewertungssignalen dekodiert wird.

Das erfindungsgemäße Verfahren hat den Vorteil, dass die Bewertungsdaten komprimiert an die Testereinheit übertragen werden können, wodurch einerseits Testleitungen eingespart

25 werden können, um so die Parallelität des Testsystems zu erhöhen und andererseits die Übertragungsgeschwindigkeit zum Übertragen der Bewertungsdaten zu erhöhen, so dass mehr Bewertungsdaten innerhalb einer bestimmten Zeit an die Testereinheit übermittelt werden können.

30

Eine bevorzugte Ausführungsform der Erfindung wird im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

35 Fig. 1 ein Blockdiagramm eines erfindungsgemäßen Testsystems; Fig. 2 ein Schaltbild einer Kodiereinheit für eine erfindungsgemäße integrierte Speicherschaltung;

Fig. 3 eine Tabelle, die die Kodierung der Bewertungsdaten in verschiedenem Spannungspegel dargestellt wird; und Fig. 4 ein Blockschaltbild einer Dekodiererschaltung für eine erfindungsgemäße Testereinheit.

5

In Fig. 1 ist ein Blockschaltbild eines erfindungsgemäßen Testsystems dargestellt. Das Testsystem weist eine integrierte Speicherschaltung 1, insbesondere eine DRAM-Speicherschaltung mit einem Speicherzellenfeld 2 und mit einem Testschaltkreis 3 auf. Die integrierte Speicherschaltung 1 ist über einen Signalbus 4 mit einer Testereinheit 5 verbunden. Über den Signalbus 4 können Adressdaten und Steuerdaten von der Testereinheit 5 an die integrierte Speicherschaltung 1 übertragen werden und Bewertungsdaten von der integrierten Speicherschaltung 1 an die Testereinheit 5 übertragen werden.

Der Testschaltkreis 3 weist eine Komparatorschaltung 6 auf, die dazu dient die in das Speicherzellenfeld 2 hineingeschriebenen Daten mit den aus dem Speicherzellenfeld 2 ausgelesenen Daten zu vergleichen und als Ergebnis Bewertungsdaten zu generieren, die davon abhängig sind, ob die eingeschriebenen und ausgelesenen Daten zueinander identisch oder unterschiedlich sind. So hat beispielsweise ein Bewertungsdatum den Wert „0“ wenn die eingeschriebenen und ausgelesenen Daten identisch sind und den Wert „1“, wenn die eingeschriebenen und ausgelesenen Daten unterschiedlich sind.

Üblicherweise werden die Daten bitweise oder Speicherbereichs-weise miteinander verglichen, so dass Bewertungsdaten erzeugt werden, die bitweise angeben, ob die eingeschriebenen und ausgelesenen Daten zueinander identisch oder unterschiedlich sind. Die Bewertungsdaten werden an eine Kodiereinheit 7 weitergegeben, die eine Komprimierung der Bewertungsdaten vornimmt.

35

Nach der Komprimierung der Bewertungsdaten werden die so ermittelten kodierten Testdaten über den Signalbus 4 an die

Testereinheit 5 übermittelt. Dort werden die kodierten Testdaten in einer Dekodiereinheit 8 dekodiert und einer Auswerteschaltung 9 zugeführt, die aus den Bewertungsdaten eine Redundanzlösung ermittelt.

5

In Fig. 2 ist ein Schaltbild einer Kodiereinheit für die erfindungsgemäße integrierte Speicherschaltung dargestellt. Diese dargestellte Kodiereinheit stellt im wesentlichen einen 2-Bit-Digital-Analog-Wandler dar, der zwei Bit Daten in einen analogen Spannungswert umwandelt. Der Übersicht halber beschränkt sich die Darstellung der Kodiereinheit auf einen 2-Bit-Digital-Analog-Wandler. Es ist jedoch vorstellbar, eine beliebige Anzahl von Bits auf diese Weise zu kodieren. Dies ist lediglich durch die Auflösengenauigkeit der Dekodiereinheit 8 in der Testereinheit 5 sowie durch die Störempfindlichkeit der Signalleitungen des Signalbusses 4 beschränkt.

10

15

20

25

30

35

Die Kodiereinheit 7 ist im wesentlichen für jede mögliche Bitkombination der zu kodierenden Bewertungsdaten zweiteilig aufgebaut. Ein erster Teil besteht im wesentlichen aus einem UND-Gatter 10a-10d, an dessen Eingängen die zu kodierenden Bewertungsdaten entweder nicht-invertiert oder durch einen Inverter invertiert angelegt werden. Der Ausgang des jeweiligen UND-Gatters führt zu einem Steuereingang, einem Schalter 13a - 13d, wobei bei einem High-Zustand des Ausgangs des jeweiligen UND-Gatters 10a - 10d der jeweilige Schalter 13a - 13d geschlossen wird, so dass eine von einem Spannungsteiler 11 generierte Spannung an eine Ausgangsleitung 12 angelegt wird. Die UND-Gatter 10a - 10d sind so geschaltet, dass jeweils nur einer der Schalter 13a-13d geschlossen ist. Jeder der Schalter 13a - 13d schaltet ein Spannungspotential auf die Ausgangsleitung 12, das die anliegende Bitkombination eindeutig bestimmt, d.h. es unterscheidet sich von den anderen Spannungspotentialen.

So sind an das erste UND-Gatter 10a das erste Bit und das zweite Bit nicht-invertiert an die Eingänge angelegt, beim

zweiten UND-Gatter 10b das erste Bit invertiert und das zweite Bit nicht-invertiert angelegt, beim dritten UND-Gatter 10c das erste Bit und das zweite Bit invertiert angelegt und beim vierten UND-Gatter 10d das erste Bit nicht-invertiert und das zweite Bit invertiert angelegt. Auf diese Weise lassen sich die vier Zustände, die durch das erste Bit und das zweite Bit dargestellt werden können, in vier Spannungspegel kodieren. Dies ist in der Tabelle nach Fig. 3 dargestellt.

- 10 Eine solche Kodiereinheit lässt sich beliebig erweitern und somit zum Kodieren von zwei, drei, vier oder mehreren Bewertungsdaten verwenden.

Der Spannungsteiler 11 ist im wesentlichen durch eine Reihe von Widerständen 14a, 14b, 14c aufgebaut, zwischen denen verschiedene vordefinierte Spannungspegel abgreifbar sind. Die Reihe von Widerständen 14a, 14b, 14c ist zwischen einem Versorgungsspannungspotential VDD und einem Massepotential GND angeordnet. Das Versorgungsspannungspotential VDD stellt den ersten Spannungspegel V1 und das Massepotential GND den vierten Spannungspegel V4 dar. An dem Knoten zwischen dem ersten Widerstand 14a und dem zweiten Widerstand 14b ist der zweite Spannungspegel V2 und an dem Knoten zwischen dem zweiten Widerstand 14b und dem dritten Widerstand 14c der dritte Spannungspegel V3 abgreifbar. Der erste Spannungspegel V1 ist mit einem Anschluss des ersten Schalters 13a, der zweite Spannungspegel V2 ist mit einem Anschluss des zweiten Schalters 13b, der dritte Spannungspegel V3 ist mit einem Anschluss des dritten Schalters 13c, und der vierte Spannungspegel V4 ist mit einem Anschluss des vierten Schalters 13d verbunden.

Eine solche Spannungsteilerschaltung ist ebenfalls bei der Kodierung von mehr als zwei Bits erweiterbar, so dass nicht nur vier sondern 8, 16 und mehr Spannungspegel erzeugbar sind.

In Fig. 4 ist ein Schaltbild der Dekodiereinheit 8 dargestellt, die beispielsweise in der Testereinheit 5 vorgesehen sein kann. Die Dekodiereinheit 8 ist im wesentlichen eine Analog-Digital-Wandlerschaltung, mit einer Auflösung, die mindestens der Anzahl der in dem Testsignal komprimierten Bewertungsdaten entspricht. Es ist darin eine zweite Spannungsteilerschaltung 20 mit vier in Reihe geschalteten Widerständen 21a, 21b, 21c, 21d vorgesehen. Der vierte und der siebte Widerstand 21a, 21d haben den jeweils halben Widerstandswert von jeweils dem fünften und sechsten Widerstand 21b, 21c. Der Knoten zwischen dem vierten Widerstand 21a und dem fünften Widerstand 21b ist mit einem nicht-invertierenden Eingang eines ersten Komparators verbunden. Der Knoten zwischen dem fünften Widerstand 21b und dem sechsten Widerstand 21c ist mit dem nicht-invertierenden Eingang einer zweiten Komparatorschaltung 21b, der Knoten zwischen dem sechsten Widerstand 21c und dem siebten Widerstand 21d ist mit dem nicht-invertierenden Eingang einer dritten Komparatorschaltung 22c verbunden. An die invertierenden Eingänge der ersten, zweiten und dritten Komparatorschaltung 22a, 22b, 22c ist das kodierte Testsignal angelegt. Die Komparatorschaltungen 22a, 22b, 22c sind jeweils mit einem Ausgang mit einer Konverterschaltung 23 verbunden, die zwei Ausgänge aufweist. An den zwei Ausgängen liegen beim Dekodieren Signalbits an, die in dem kodierten Testsignal kodiert sind.

Die Konverterschaltung 23 dekodiert die drei an den Ausgängen der Komparatorschaltungen 22a, 22b, 22c anliegenden Signale, so dass das erste und das zweite Bit der ursprünglichen Bewertungsdaten wiederhergestellt werden. Je nach Spannungspegel des kodierten Testsignals weisen keiner, ein bzw. alle Ausgänge der Komparatorschaltungen 22a, 22b, 22c einen High-Zustand auf. Beträgt der Spannungspegel 0 V bzw. die Spannung V_1 , so liegen alle Ausgänge der Komparatorschaltung 22 auf einem High-Pegel, während bei einem Spannungspegel des kodierten Testsignals in Höhe der Versorgungsspannung bzw. der

Spannung V4, so sind alle drei Ausgänge der Komparatorschaltungen in einem Low-Zustand.

Auf diese Weise kann eine Dekodiereinheit 8 zur Verfügung gestellt werden, die in der Lage ist, ein kodierte Testsignal, in dem vier Zustände, die durch zwei Bit dargestellt werden können, dekodiert werden, in dem die Spannungspegelbereiche, in denen sich die definierten Spannungspegel des kodierten Testsignals befinden, jeweils einem Zustand zugeordnet sind, der durch eine Zwei-Bitkombination durch das erste Bit und das zweite Bit definiert sind.

Die Erfindung besteht darin, eine beliebige Anzahl von Zellsignalen zu einer einzigen Fehlerinformation zu komprimieren und von der integrierten Speicherschaltung an eine externe Testereinheit zu übergeben.

Die Erfindung umfasst weiterhin eine Testereinheit mit einer Dekodierschaltung, die in der Lage ist, die komprimierte Fehlerinformation zu dekodieren, d.h. den Spannungspegeln des kodierten Testsignals eine Reihe von Bewertungsdaten zuzuordnen. Diese Komprimierung ermöglicht eine hohe Informationsübertragungsrate pro Zeiteinheit.

Vorzugsweise werden die kodierten Testsignale, die mit Hilfe der in Fig. 2 dargestellten Kodiereinheit erzeugt worden sind, innerhalb eines Taktzyklusses an die Testereinheit 5 übertragen. Auf diese Weise läßt sich die Übertragung der Bewertungsdaten um den Faktor 4 beschleunigen, da mit Hilfe eines kodierten Testsignals, das pro Taktzyklus übertragen werden kann, Informationen von vier Bit-Bewertungsdaten übertragen werden.

Die Dekodiereinheit 8 kann sowohl innerhalb der Testereinheit angeordnet sein als auch der Testereinheit vorgeschaltet werden, so dass eine Modifizierung einer herkömmlichen Testereinheit nicht notwendig ist. Die Testerleitungen, die zwi-

schen integrierter Speicherschaltung und Testereinheit angeordnet sind, sind somit nicht direkt mit der Testereinheit verbunden sondern über die Dekodiereinheit 8, an deren Ausgängen dann die dekodierten Bewertungsdaten abgreifbar sind.

- 5 Auf diese Weise kann ein Eingriff in die komplex aufgebauten Testereinrichtungen vermieden werden.

Patentansprüche

1. Integrierte Speicherschaltung (1) mit einem Speicherzellenfeld und mit einem Testschaltkreis (3),
wobei der Testschaltkreis (3) ein Bewertungsdatum generiert, wobei das Bewertungsdatum abhängig ist von einem Ergebnis
eines Vergleichens zwischen einem aus dem Speicherzellenfeld (2) ausgelesenen Datum und einem in das Speicherzellenfeld zuvor hineingeschriebenes Datum,
dadurch gekennzeichnet, daß
eine Kodiereinheit (7) mit dem Testschaltkreis (3) gekoppelt ist, um mehrere Bewertungssignale zu einem kodierten Testsignal zu kodieren, wobei den mehreren Testdaten als kodiertes Testdatum ein Spannungssignal zugeordnet werden.
2. Integrierte Speicherschaltung (1) nach Anspruch 1,
wobei die Kodiereinheit eine Digital-Analog-Wandlerschaltung aufweist.
3. Integrierte Speicherschaltung (1) nach Anspruch 2,
wobei die Kodiereinheit (7) so ausgeführt ist, um mehrere Spannungspegel zu generieren, so dass jeweils ein Spannungspegel einem bestimmten Muster von mehreren Bewertungsdaten zugeordnet ist.
4. Integrierte Speicherschaltung (1) nach einem der Ansprüche 1 bis 3,
wobei ein externer Anschluß vorgesehen ist, um das kodierte Testdatum aus der integrierten Speicherschaltung (1) auszulesen.
5. Integrierte Speicherschaltung (1) nach Anspruch 4,
wobei das Spannungssignal innerhalb eines Taktzyklusses auslesbar ist.

- 5 6. Testereinheit zum Empfangen von kodierten Bewertungsdaten mit einer Dekodierschaltung (8), wobei ein kodiertes Testsignal ein Spannungssignal, das mehrere Signalpegel annehmen kann, umfasst, wobei die Dekodierschaltung so gestaltet ist, um den Spannungspegeln des empfangene Spannungssignal jeweils ein Muster von Bewertungsdaten zuzuordnen.
- 10 7. Testereinheit (5) nach Anspruch 6, wobei die Dekodierschaltung (8) eine Analog-/Digital-Wandlerschaltung umfasst.
- 15 8. Testsystem mit einer integrierten Speicherschaltung nach einem der Ansprüche 1 bis 5, wobei die integrierte Speicherschaltung (1) mit einer Testereinheit (5) verbunden ist, so dass das kodierte Testdatum an die Testereinheit (5) übertragbar ist.
- 20 9. Testsystem nach Anspruch 8, wobei die Testereinheit (5) eine Testereinheit (5) nach einem der Ansprüche 6 oder 7 umfasst.
- 25 10. Verfahren zum Testen einer integrierten Speicherschaltung (1) mit einem Speicherzellenfeld (2), wobei beim Testen ein aus dem Speicherzellenfeld ausgelesenes Datum und ein in das Speicherzellenfeld (2) zuvor hineingeschriebenes Datum verglichen werden, wobei ein Bewertungsdatum generiert wird, das von dem Ergebnis des Vergleichens abhängig ist,
- 30 dadurch gekennzeichnet, daß mehrere Bewertungsdaten in ein kodierte Testdatum kodiert werden, wobei das kodierte Testdatum an eine Testereinheit übertragen wird, wobei das übertragene kodierte
- 35 Testdatum zu mehreren Bewertungsdaten dekodiert wird.

11. Verfahren nach Anspruch 10, wobei das Kodieren der Bewertungsdaten so vorgenommen wird, dass das kodierte Testdatum mehrere Spannungspegel aufweist, wobei im wesentlichen jeder der Spannungspegel einem Muster von Bewertungsdaten zugeordnet ist.
- 5

Zusammenfassung

Testschaltkreis einer integrierten Speicherschaltung zum Kodieren von Bewertungsdaten und Verfahren hierzu

5

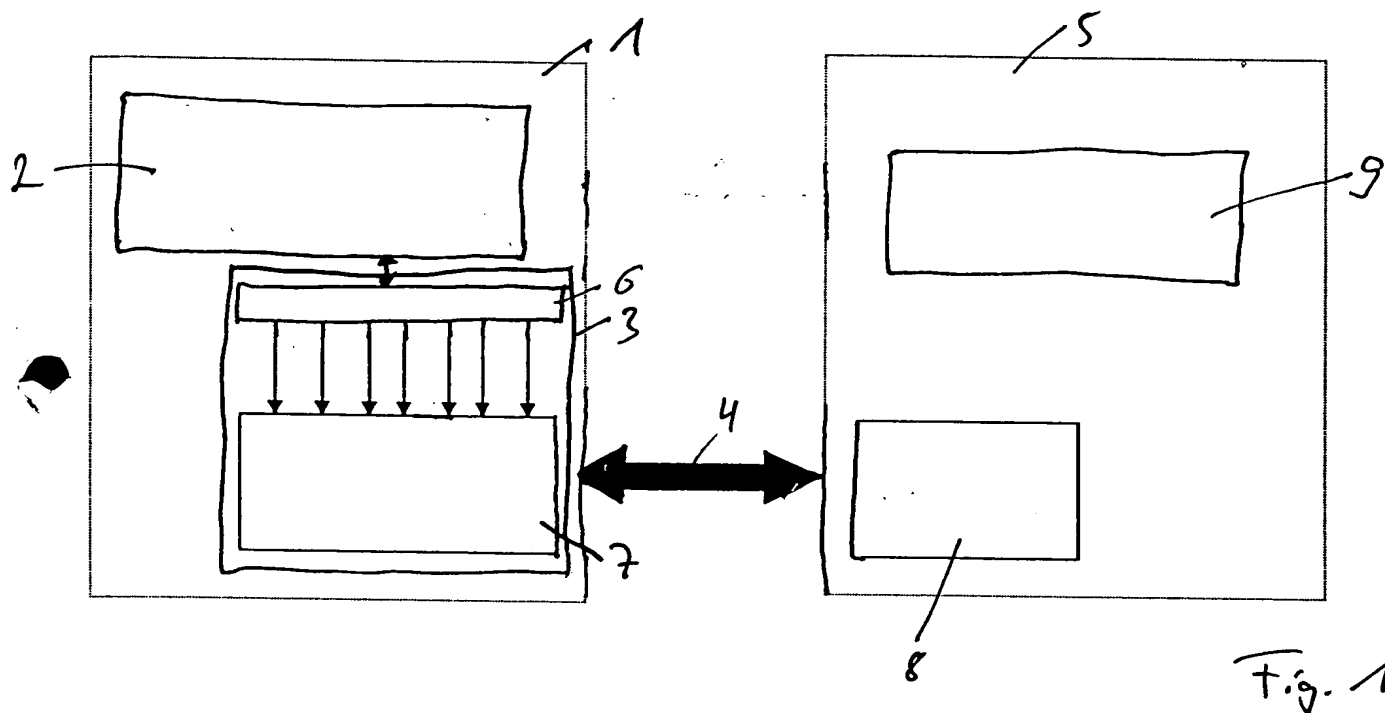
Integrierte Speicherschaltung mit einem Speicherzellenfeld und mit einem Testschaltkreis, wobei der Testschaltkreis ein Bewertungsdatum generiert, wobei das Bewertungsdatum abhängig ist von einem Ergebnis eines Vergleichens zwischen einem aus dem Speicherzellenfeld ausgelesenen Datum und einem in das Speicherzellenfeld zuvor hineingeschriebenes Datum, dadurch gekennzeichnet, daß eine Kodiereinheit mit dem Testschaltkreis gekoppelt ist, um mehrere Bewertungssignale zu einem kodierten Testsignal zu kodieren, wobei den mehreren Testdaten als kodiertes Testdatum ein Spannungssignal zugeordnet werden.

10

15

Figur 1

Figur für die
Zusammenfassung



Bezugszeichenliste

	1	integrierte Speicherschaltung
5	2	Speicherzellenfeld
	3	Testschaltung
	4	Signalbus
	5	Testereinheit
	6	Komparatorschaltung
10	7	Kodiereinheit
	8	Dekodiereinheit
	9	Auswerteschaltung
	10a,10b,10c,10d	erstes, zweites, drittes, viertes UND-Gatter
	11	erster Spannungsteiler
15	12	Ausgangsleitung
	13a,13b,13c,13d	erster, zweiter, dritter, vierter steuerbarer Schalter
	14a,14b,14c	erster, zweiter, dritter Widerstand
	20	zweiter Spannungsteiler
20	21a,21b,21c,21d	vierter, fünfter, sechster, siebter Widerstand
	22a,22b,22c	erste, zweite, dritte Komparatorschaltung
	23	Konverterschaltung
	VDD	Versorgungsspannungspotential
	GND	Massepotential
25	V1, V2, V3, V4	erstes, zweites, drittes, viertes Spannungspotential

1/3

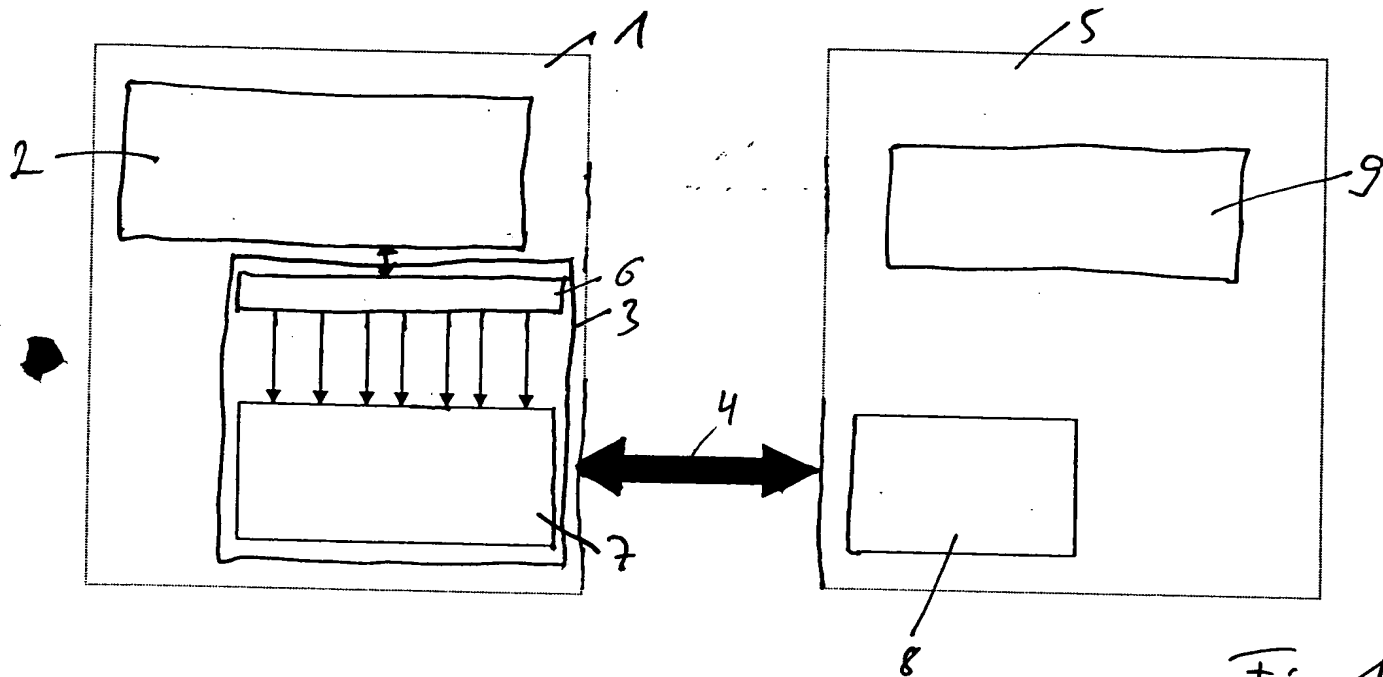


Fig. 1

213

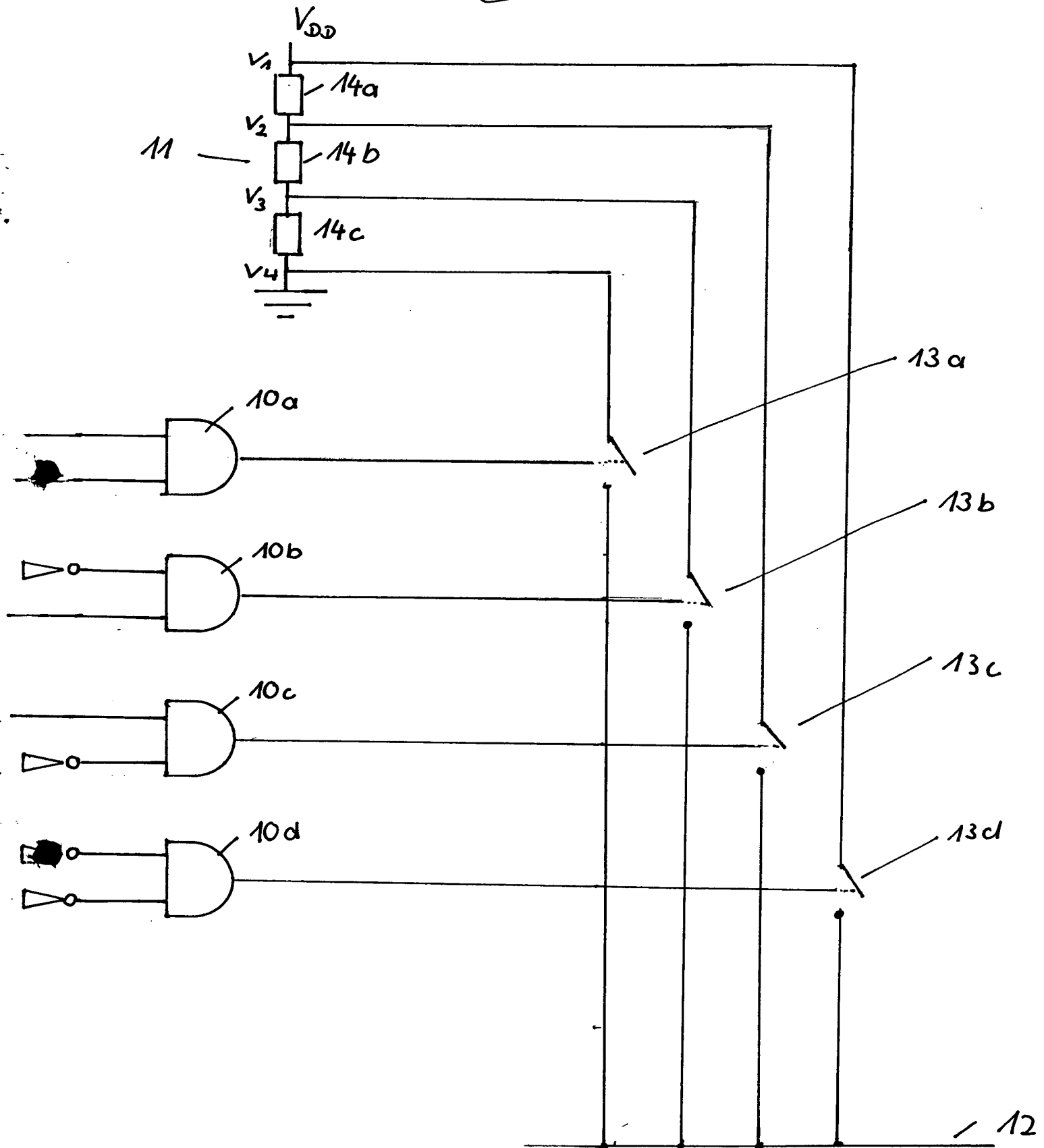


Fig. 2

3/3

Bit 1	Bit 2	V _{out}
HIGH	HIGH	V ₄
LOW	HIGH	V ₃
HIGH	LOW	V ₂
LOW	LOW	V ₁

Fig 3

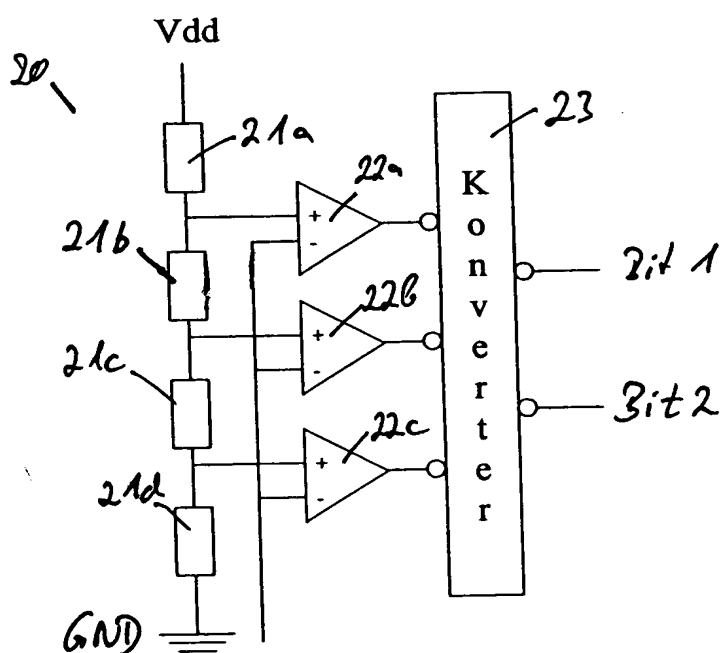


Fig. 4